

Practitioner's Docket No.: 040044-0306580
Client Reference No.: OF03P162/US

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: JI HWAN YU

Confirmation No:

Application No.:

Group No.:

Filed: December 15, 2003

Examiner:

For: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

<u>Country</u>	<u>Application Number</u>	<u>Filing Date</u>
Republic of Korea	10-2002-0085877	12/28/2002

Date: December 15, 2003
PILLSBURY WINTHROP LLP
P.O. Box 10500
McLean, VA 22102
Telephone: (703) 905-2000
Facsimile: (703) 905-2500
Customer Number: 00909



Glenn T. Barrett
Registration No. 38705



This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0010
【제출일자】	2002. 12. 28
【발명의 명칭】	반도체 소자의 제조 방법
【발명의 영문명칭】	Method For Manufacturing Semiconductor Devices
【출원인】	
【명칭】	동부전자 주식회사
【출원인코드】	1-1998-106725-7
【대리인】	
【성명】	김영철
【대리인코드】	9-1998-000040-3
【포괄위임등록번호】	2001-037703-7
【대리인】	
【성명】	김순영
【대리인코드】	9-1998-000131-1
【포괄위임등록번호】	2001-037700-5
【대리인】	
【성명】	이준서
【대리인코드】	9-1998-000463-0
【포괄위임등록번호】	2001-037697-8
【발명자】	
【성명의 국문표기】	유지화
【성명의 영문표기】	YU, Ji Hwan
【주민등록번호】	760508-1585615
【우편번호】	502-751
【주소】	광주광역시 서구 쌍촌동 쌍촌주공아파트 106-1011
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 김영철 (인) 대리인 김순영 (인) 대리인 이준서 (인)

【수수료】

【기본출원료】	16	면	29,000	원
【가산출원료】	0	면	0	원
【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	29,000	원		
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

본 발명은 반도체 소자의 제조 방법을 개시한다. 이에 의하면, 반도체 기판 상에 산화막과 질화막을 순차적으로 적층시키고, 상기 반도체 기판의 필드 영역에 상기 산화막과 질화막의 개구부를 형성시키고, 상기 반도체 기판의 필드 영역을 식각시킴으로써 트렌치를 형성시키고, 상기 산화막과 질화막을 제거시키고, 상기 트렌치를 포함한 반도체 기판 상에 실리콘 에피층을 성장시키고, 상기 트렌치에 산화막을 매립시킨다.

따라서, 상기 트렌치의 저면부보다 측면부에 상기 실리콘 에피층이 두껍게 성장되므로 기존의 사진식각공정을 이용하면서도 미세한 선폭의 트렌치를 형성시킬 수가 있다. 또한, 상기 트렌치의 상측 모서리부에서 상기 실리콘 에피층이 라운딩 형태를 가지므로 상측 모서리부에서의 디벗으로 인한 누설 전류 증가를 억제시킬 수 있고 나아가 반도체 소자의 전기적 특성을 향상시킬 수 있다.

【대표도】

도 6

【명세서】**【발명의 명칭】**

반도체 소자의 제조 방법{Method For Manufacturing Semiconductor Devices}

【도면의 간단한 설명】

도 1 내지 도 4는 종래 기술에 의한 쉘로우 트렌치 아이솔레이션(Shallow Trench Isolation) 공정의 순서를 나타낸 단면 공정도.

도 5 내지 도 8은 본 발명에 의한 반도체 소자의 제조 방법에 적용된 쉘로우 트렌치 아이솔레이션 공정의 순서를 나타낸 단면 공정도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<3> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 더욱 상세하게는 미세한 선폭의 트렌치를 용이하게 형성하도록 한 반도체 소자의 제조 방법에 관한 것이다.

<4> 일반적으로, 반도체 소자의 아이솔레이션(Isolation) 기술로는 질화막을 이용한 LOCOS(Local Oxidation of Silicon) 기술이 사용되어 왔다. LOCOS 기술의 단점을 보완하기 위한 새로운 아이솔레이션 기술들이 활발하게 개발되어 왔고 그 중에서 PBL(Poly Buffer LOCOS), R-LOCOS(Recessed LOCOS) 등의 기술이 널리 사용되어 왔다. 이들 기술들은 공정이 복잡하고 실리콘 산화막에 의한 채널 영역의 잠식시키는 새 부리(Bird's Beak) 현상이 발생하는 것을 근본

적으로 방지할 수 없으므로 반도체 소자의 고집적화에 한계가 있다. 더욱이, 액티브 영역의 실리콘 기판의 표면과 필드 영역의 산화막의 표면과의 단차가 심하게 발생하므로 이들 영역의 표면 단차를 줄여주기 위해 후속으로 평탄화 공정이 진행되어야 필요가 있다.

- <5> 최근에 들어, 이를 개선한 쉘로우 트렌치 아이솔레이션(Shallow Trench Isolation: STI) 공정이 도입되기 시작하였다. 상기 쉘로우 트렌치 아이솔레이션 공정은 종래의 아이솔레이션 기술에 비하여 소자 분리 특성이 우수하고 점유 면적도 작기 때문에 반도체 소자의 고집적화에 매우 유리하다.
- <6> 상기 STI공정은 반도체 기판의 필드 영역에 트렌치를 형성하고 갭 필링(Gap Filling) 공정에 의해 상기 트렌치 내에 산화막을 갭 필링(gap filling)시킨 후 상기 산화막을 화학기계연마(Chemical Mechanical Polishing: CMP)공정으로 연마하여 트렌치 내의 산화막과 반도체 기판을 평탄화시킨다. 따라서, 반도체 기판의 필드 영역에 필드산화막이 형성된다.
- <7> 상기 트렌치를 갭 필링하는 산화막으로는 갭 필링 특성과 평탄화 특성이 양호한 O_3 -TEOS(Tetra-Ethyl-Ortho-Silicate) 상압 화학기상증착(Atmospheric Pressure Chemical Vapor Deposition: APCVD) 산화막, 고밀도 플라즈마 화학기상증착(High Density Plasma Chemical Vapor Deposition: HDP CVD) 산화막이 주로 사용되고 있다.
- <8> 종래의 쉘로우 트렌치 아이솔레이션 공정은 도 1 내지 도 4에 도시된 바와

같이 이루어진다. 즉, 도 1에 도시된 바와 같이, 먼저, 단결정 실리콘 기판과 같은 반도체 기판(10)의 일면, 예를 들어 전면(前面)의 전역에 희생막으로서 산화막(11)을 형성시키고, 그 위에 하드 마스크층으로서 질화막(13)을 적층시킨다. 그런 다음, 사진식각공정을 이용하여 상기 반도체 기판(10)의 필드 영역에 해당하는 상기 질화막(13) 및 상기 산화막(11)의 일부분에 개구부(14)를 형성시킨다. 이어서, 상기 질화막(13)을 식각 마스크층으로 이용하여 상기 반도체 기판(10)을 트렌치(15)를 위한 깊이만큼 식각시킴으로써 상기 반도체 기판(10)의 필드 영역에 트렌치(15)를 형성시킨다. 그런 다음, 도 2에 도시된 바와 같이, 열 산화 공정을 이용하여 상기 트렌치(15) 내의 노출된 반도체 기판(10)의 식각면에 산화막(17)을 성장시키고 상기 트렌치(15) 내에 갭 필링용 절연막, 예를 들어 산화막(19)을 매립시키기 위해 상기 트렌치(15)의 내부와 함께 상기 질화막(13) 상에도 산화막(19)을 두껍게 적층시킨다. 이후, 도 3에 도시된 바와 같이, 상기 산화막(19)을 화학기계연마공정에 의해 상기 질화막(13)에 평탄화시킴으로써 상기 산화막(19)을 상기 트렌치(15)에만 남기고 나서 고온 열처리공정에 의해 상기 트렌치(15) 내의 산화막(19)을 치밀화시킨다. 그런 다음, 도 4에 도시된 바와 같이, 상기 산화막(19)의 높이를 낮추기 위해 상기 산화막(19)을 불산 용액으로 일정 두께만큼 습식 식각시키고 상기 질화막(13)을 인산 용액으로 식각시킴으로써 상기 질화막(13) 아래의 산화막(11)을 노출시킨다. 그 다음에 상기 산화막(11)을 불산 용액으로 식각시켜 상기 반도체 기판(10)의 액티브 영역을 노출시킨다. 따라서, 셀로우 트렌치 아이솔레이션 공정이 완료된다.

【발명이 이루고자 하는 기술적 과제】

<9> 그런데, 종래에는 상기 트렌치(15)의 상측 모서리 부분에서 상기 희생막인 산화막(11)이 상기 트렌치(15)의 내부로 진입한 디벗(21)이 다발한다. 이는 상기 산화막(19)의 높이를 낮추기 위해 상기 질화막(13)을 식각 마스크층으로 이용하여 상기 산화막(19)을 식각시킬 때 상기

산화막(19)과 상기 질화막(13)의 측면 사이의 계면 부분이 기타 부분에 비하여 빠른 속도로 식각되기 때문이다.

<10> 상기 트렌치(15)에 상기 디벗(21)이 존재하는 상태에서 상기 반도체 기판(10)의 액티브 영역 상에 열산화공정에 의해 예를 들어 모스 트랜지스터를 위한 게이트 산화막(도시 안됨)을 성장시키면, 상기 디벗(21) 상에 성장되는 게이트 산화막이 상기 반도체 기판(10)의 액티브 영역 상에 성장되는 게이트 산화막보다 얇게 성장한다. 그 결과, 상기 반도체 기판(10)의 액티브 영역에 상기 모스 트랜지스터가 형성 완료되고 나면, 상기 모스 트랜지스터의 문턱 전압(V_T) 이하에서 상기 모스 트랜지스터가 작동하는 오동작 현상이 다발하기 쉽다. 이는 누설 전류의 증가와 같은 반도체 소자의 전기적 특성을 악화시키므로 반도체 소자의 양품 수율이 저하될 수밖에 없다. 더욱이, 상기 디벗(21)이 발생하지 않도록 하는데 습식 식각 공정의 충분한 마진을 확보하기가 어려우므로 그 만큼 공정 진행이 어려워지고 나아가 생산성이 저하될 수밖에 없다.

<11> 또한, 반도체 소자의 고집적화가 진행됨에 따라 상기 트렌치의 폭도 더욱 미세화 추세에 있으므로 현재의 사진식각공정만으로 상기 미세한 트렌치를 형성하는데 한계가 있다. 이러한 실정을 감안하여 현재의 사진식각공정을 개선시키는 것은 막대한 경제적 부담을 가져오고 이는 반도체 소자의 제조 원가를 상승시킨다.

<12> 따라서, 본 발명의 목적은 사진식각공정을 개선시키지 않으면서도 미세한 선평의 트렌치를 용이하게 형성하는데 있다.

<13> 본 발명의 다른 목적은 트렌치의 누설 전류 특성을 개선하는데 있다.

【발명의 구성 및 작용】

- <14> 이와 같은 목적을 달성하기 위한 본 발명에 의한 반도체 소자의 제조 방법은
- <15> 상기 반도체 기판 상에 절연막을 적층시킨 후 상기 반도체 기판의 필드 영역을 노출시키는 상기 절연막의 개구부를 형성시키는 단계; 상기 개구부 내의 노출된 영역의 반도체 기판에 트렌치를 형성시키는 단계; 상기 절연막을 제거시키는 단계; 상기 트렌치를 포함한 상기 반도체 기판 상에 실리콘 에피층을 소정의 두께로 형성시키는 단계; 및 상기 트렌치에 산화막을 매립시키는 단계를 포함하는 것을 특징으로 한다.
- <16> 바람직하게는, 상기 실리콘 에피층을 상기 트렌치의 저면부보다 상기 트렌치의 측면부에서 두껍게 성장시킬 수가 있다.
- <17> 바람직하게는, 상기 트렌치의 상측 모서리에서 상기 실리콘 에피층을 라운딩 형태로 형성시킬 수가 있다.
- <18> 이하, 본 발명에 의한 반도체 소자의 제조 방법을 첨부된 도면을 참조하여 상세히 설명하기로 한다. 종래의 부분과 동일 구성 및 동일 작용의 부분에는 동일 부호를 부여한다.
- <19> 도 5를 참조하면, 먼저, 단결정 실리콘 기판과 같은 반도체 기판(30)의 일면, 예를 들어 반도체 소자를 형성하기 위한 상기 반도체 기판(30)의 전면(前面) 상에 고온 열산화공정에 의해 희생막으로서 산화막(11)을 40~150Å의 두께로 성장시킨다. 이어서, 상기 산화막(11) 상에 저압 화학기상증착공정에 의해 하드 마스크층으로서 질화막(13)을 600~1500Å의 두께로 적층시킨다. 상기 산화막(11)은 상기 반도체 기판(10)과 상기 질화막(13)의 스트레스를 완화시켜주기 위한 것이다. 상기 질화막(13)은 트렌치(15)의 형성 때 식각 마스크층으로서 사용되며 후속

의 화학기계연마(Chemical Mechanical Polishing) 공정에서 식각 정지막으로서의 역할도 담당한다.

- <20> 그런 다음, 사진식각공정을 이용하여 상기 반도체 기판(10)의 필드 영역에 창이 위치한 감광막(도시 안됨)의 패턴을 상기 반도체 기판(10)의 액티브 영역 상에 형성시키고, 상기 감광막의 패턴을 식각 마스크로 이용하여 상기 창 내의 질화막(13)과 산화막(11)을 이방성 식각 특성을 갖는 건식 식각공정, 예를 들어 반응성 이온 에칭(Reactive Ion Etching: RIE) 공정에 의해 완전히 식각시킴으로써 상기 반도체 기판(10)의 필드영역을 노출시킨다. 따라서, 상기 질화막(13)과 산화막(11)의 개구부(14)가 형성된다. 이후, 상기 감광막의 패턴을 제거시킨다.
- <21> 이어서, 상기 질화막(13)을 식각 마스크층으로 이용하여 상기 개구부(14) 내의 노출된 반도체 기판(10)을 반응성 이온 에칭 공정에 의해 트렌치(15)를 위한 깊이, 예를 들어 3000Å 정도의 얇은 깊이로 식각시킨다. 따라서, 상기 반도체 기판(10)의 필드영역에 트렌치(15)가 형성된다. 여기서, 상기 트렌치(15)는 상측 폭(D1)을 갖는다.
- <22> 도 6을 참조하면, 상기 트렌치(15)의 형성이 완료되고 나면, 상기 질화막(13)을 인산 용액으로 식각시키고 상기 산화막(11)을 불산 용액으로 식각시킨다. 따라서, 상기 반도체 기판(10)의 액티브 영역이 노출된다.
- <23> 이후, 통상적인 에피택셜 공정을 이용하여 상기 트렌치(15)를 비롯한 반도체 기판(10)의 전면 상에 실리콘 에피층(31)을 성장시킨다. 이때, 상기 트렌치(15)의 상측 모서리부(15c) 상의 실리콘 에피층(31)의 두께(t1)가 가장 두껍고, 상기 트렌치(15)의 측면부(15b) 상의 실리콘 에피층(31)의 두께(t2)가 두 번째 두껍고, 상기 액티브 영역의 표면(10a) 상의 실리콘 에피층(31)의 두께(t3)가 세 번째 두껍고, 상기 트렌치(15)의 저면부(15a) 상의 실리콘 에피층(31)의 두께(t4)가 가장 얇다. 이는 상기 실리콘 에피층(31)의 성장 속도가 반도체 기판(10)의 노

출된 표면의 땀글링 본드(dangling bond)의 개수가 많을수록 빨라지는 특성을 갖고 있고, 상기 땀글링 본드의 개수가 단위 면적당 실리콘 원자의 개수에 비례하는데, 상기 트렌치(15)의 저면부(15a)인 <100>면보다 상기 측면부(15b)에서 실리콘 원자의 개수가 많기 때문이다.

<24> 따라서, 상기 실리콘 에피층(31)의 성장 속도가 상기 트렌치(15)의 상측 모서리부(15c)에서 첫 번째 빠르고, 상기 트렌치(15)의 측면부(15b)에서 두 번째 빠르고, 상기 액티브 영역의 표면(10a)에서 세 번째 빠르고, 상기 트렌치(15)의 저면부(15a)에서 네 번째 빠르기 때문이다.

<25> 따라서, 본 발명은 상기 트렌치(15)의 저면부(15a)보다 상기 측면부(15b)에서 실리콘 에피층(31)을 두껍게 성장시킬 수 있으므로 기존의 사진식각공정을 그대로 이용하면서도 선폭이 더욱 좁은 미세한 트렌치를 형성할 수 있다.

<26> 또한, 상기 트렌치(15)의 상측 모서리부가 상기 트렌치(15)의 하측 모서리보다 땀글링 본드 개수를 많이 갖고 있으므로 상기 상측 모서리가 라운딩 형상으로 만들어질 수 있다. 이는 트렌치의 상측 모서리에서의 누설 전류를 억제시키는데 효과적이다.

<27> 도 7을 참조하면, 이후, 상기 트렌치(15)에 예를 들어 산화막(33)을 매립시킨다. 이때, 트렌치(15) 내의 산화막(33)에 빈 공간, 즉 보이드(Void)가 생성되지 않도록 하는 것이 바람직하다.

<28> 여기서, 상기 산화막(33)은 반도체 소자의 설계 룰(Design Rule)에 따라 다소 차이가 있지만, 오존-TEOS(Tetra Ortho Silicate Glass) 상압 화학 기상 증착 공정이나 플라즈마 화학 기상 증착(Plasma Enhanced Chemical Vapor Deposition: PECVD) 공정 또는 고밀도 플라즈마 화

학 기상 증착(High Density Plasma Chemical Vapor Deposition: HDP CVD) 공정에 의해 적층될 수가 있다.

<29> 도 8을 참조하면, 그런 다음, 상기 산화막(33)을 화학 기계 연마 공정에 의해 상기 실리콘 에피층(31)에 평탄화시킴으로서 본 발명의 셀로우 트렌치 아이솔레이션 공정을 완료한다. 이때, 트렌치(15) 내에만 상기 산화막(33)이 존재하고 상기 트렌치(15) 외측의 실리콘 에피층(31) 상에는 상기 산화막(33)이 전혀 잔존하지 않는 것이 바람직하다.

<30> 따라서, 본 발명은 반도체 기판의 필드 영역에 트렌치를 형성시키고, 상기 반도체 기판의 액티브 영역과 상기 트렌치의 저면부 및 측면부 상에 실리콘 에피층을 성장시킨 후 상기 트렌치에 산화막을 매립시킨다.

<31> 따라서, 본 발명은 트렌치의 저면부보다 측면부에 더욱 두꺼운 실리콘 에피층을 성장시킬 수가 있으므로 기존의 사진식각공정을 이용하면서도 선평이 더욱 미세한 트렌치를 용이하게 형성시킬 수 있다. 또한, 상기 트렌치의 상측 모서리부에 형성되는 실리콘 에피층을 라운딩 형태로 만들 수 있으므로 상기 트렌치의 상측 모서리부에서의 디벗으로 인한 누설 전류의 증가를 억제시킬 수 있고 나아가 반도체 소자의 전기적 특성을 향상시킬 수가 있다.

【발명의 효과】

<32> 이상에서 상세히 설명한 바와 같이, 본 발명에 의한 반도체 소자의 제조 방법은 반도체 기판 상에 산화막과 질화막을 순차적으로 적층시키고, 상기 반도체 기판의 필드 영역에 상기 산화막과 질화막의 개구부를 형성시키고, 상기 반도체 기판의 필드 영역을 식각시킴으로써 트

렌치를 형성시키고, 상기 산화막과 질화막을 제거시키고, 상기 트렌치를 포함한 반도체 기판 상에 실리콘 에피층을 성장시키고, 상기 트렌치에 산화막을 매립시킨다.

<33> 따라서, 상기 트렌치의 저면부보다 측면부에 상기 실리콘 에피층이 두껍게 성장되므로 기존의 사진식각공정을 이용하면서도 미세한 선폭의 트렌치를 형성시킬 수가 있다. 또한, 상기 트렌치의 상측 모서리부에서 상기 실리콘 에피층이 라운딩 형태를 가지므로 상측 모서리부에서의 디벗으로 인한 누설 전류 증가를 억제시킬 수 있고 나아가 반도체 소자의 전기적 특성을 향상시킬 수 있다.

<34> 한편, 본 발명은 도시된 도면과 상세한 설명에 기술된 내용에 한정하지 않으며 본 발명의 사상을 벗어나지 않는 범위 내에서 다양한 형태의 변형도 가능함은 이 분야에 통상의 지식을 가진 자에게는 자명한 사실이다.

【특허청구범위】**【청구항 1】**

상기 반도체 기판 상에 절연막을 적층시킨 후 상기 반도체 기판의 필드 영역을 노출시키는 상기 절연막의 개구부를 형성시키는 단계;

상기 개구부 내의 노출된 영역의 반도체 기판에 트렌치를 형성시키는 단계;

상기 절연막을 제거시키는 단계;

상기 트렌치를 포함한 상기 반도체 기판 상에 실리콘 에피층을 소정의 두께로 형성시키는 단계; 및

상기 트렌치에 산화막을 매립시키는 단계를 포함하는 반도체 소자의 제조 방법.

【청구항 2】

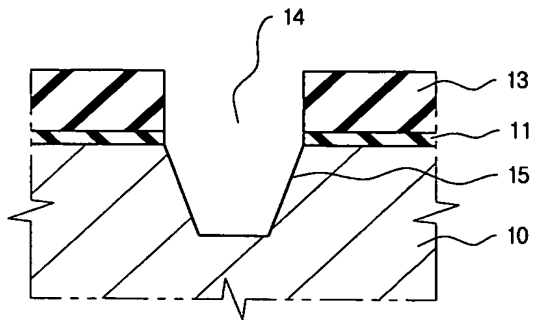
제 1 항에 있어서, 상기 실리콘 에피층을 상기 트렌치의 저면부보다 상기 트렌치의 측면부에서 두껍게 성장시키는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 3】

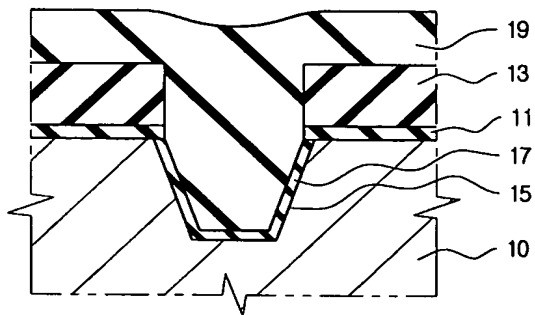
제 1 항 또는 제 2 항에 있어서, 상기 트렌치의 상측 모서리에서 상기 실리콘 에피층을 라운딩 형태로 형성시키는 것을 특징으로 하는 반도체 소자의 제조 방법.

【도면】

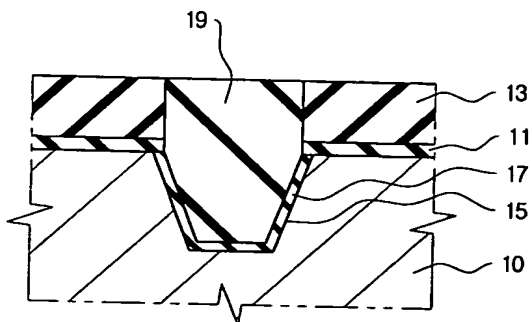
【도 1】



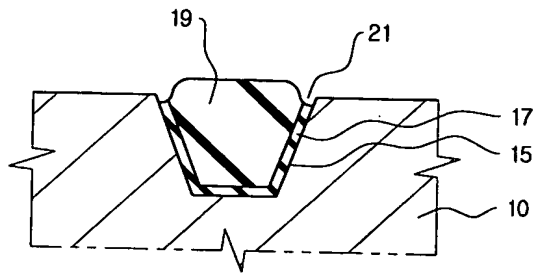
【도 2】



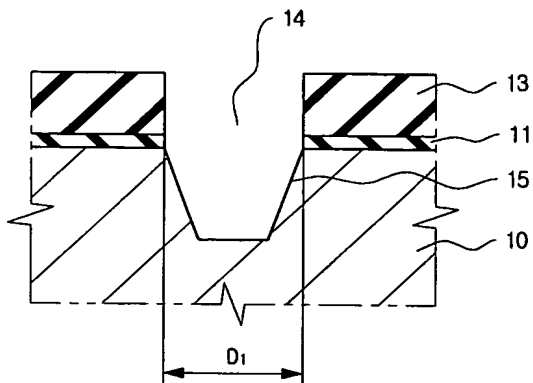
【도 3】



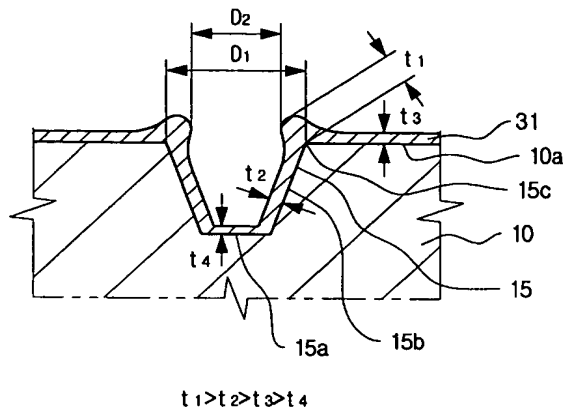
【도 4】



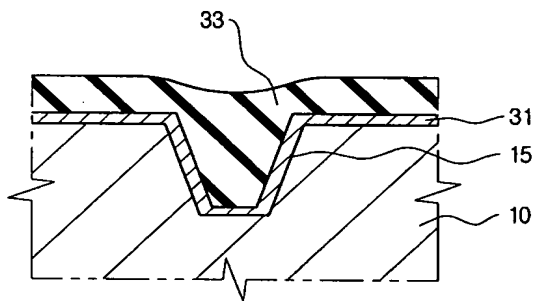
【도 5】



【도 6】



【도 7】



【도 8】

